

BEST AVAILABLE COPY

(19) 대한민국특허청 (KR)
(12) 공개특허공보 (A)

(51) 。 Int. Cl. 7
G02F 1/136

(11) 공개번호 특2002 - 0034272
(43) 공개일자 2002년05월09일

(21) 출원번호 10 - 2000 - 0064379
(22) 출원일자 2000년10월31일

*Fig 2, 3F
4F*

(71) 출원인 엘지.필립스 엘시디 주식회사
구본준, 론 위라하디락사
서울 영등포구 여의도동 20번지

(72) 발명자 문교호
대구광역시북구동천동880 - 1영남2차106 - 703

(74) 대리인 정원기

심사청구 : 없음

(54) 액정표시장치용 어레이기판과 그 제조방법

요약

본 발명은 액정표시장치에 관한 것으로, 특히 액정표시장치용 어레이기판에 구성되는 박막트랜지스터와 스토리지 캐패시터 형성 시, 상기 박막트랜지스터의 게이트전극을 덮는 게이트 절연막을 이중층으로 하는 동시에, 상기 스토리지 캐패시터에 구성되는 절연막인 유전층을 단층으로 구성하여, 상기 박막트랜지스터는 절연막이 두텁게 구성되어 전극 간 단락불량이 발생하지 않고, 상기 스토리지 캐패시터는 유전층이 얇게 구성되므로 더욱 많은 스토리지 용량을 충전할 수 있으므로 잔상불량이 없는 액정표시장치용 어레이기판을 제작하여 제품의 수율을 개선하는 효과가 있다.

대표도
도 4f

명세서

도면의 간단한 설명

도 1은 일반적인 액정표시장치를 도시한 분해 사시도이고,

도 2는 종래의 액정표시장치용 어레이기판의 일부 화소를 도시한 확대 평면도이고,

도 3a 내지 도 3f는 도 2의 박막트랜지스터와 화소부를 공정순서에 따라 도시한 평면도와, 이를 III - III'를 따라 절단하여 종래의 공정순서에 따라 도시한 공정 단면도이고,

도 4a 내지 도 4f는 도 2의 박막트랜지스터와 화소부를 공정순서에 따라 도시한 평면도와, 이를 IV - IV'를 따라 절단하여 본 발명의 공정순서에 따라 도시한 공정 단면도이다.

< 도면의 주요부분에 대한 부호의 간단한 설명 >

111 : 기판 113' : 스토리지 제 1 전극

115' : 스토리지 제 2 전극 117 : 화소전극

130 : 드레인전극 133 : 제 1 게이트 절연막

139 : 보호층 141 : 드레인 콘택홀

143 : 스토리지 콘택홀 C : 스토리지 캐패시터

P : 화소영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치(Liquid crystal display device)에 관한 것으로, 상세하게는 어레이기판에 구성되는 박막트랜지스터(Thin film transistor)와 스토리지 캐패시터(storage capacitor)의 구성과 그 제조방법에 관한 것이다.

일반적으로, 액정표시장치는 액정의 광학적 이방성을 이용하여 이미지를 표현하는 장치로서, 크게 상부기판과 하부기판과, 두 기판 사이에 위치한 액정(liquid crystal)으로 구성된다.

이하, 도 1을 참조하여 설명한다.

도 1은 일반적인 액정표시장치를 개략적으로 도시한 분해 사시도이다

도시한 바와 같이, 일반적인 액정표시장치는 블랙매트릭스(6)와 서브컬러필터(적, 녹, 청)(8)를 포함한 컬러필터(7)와 컬러필터 상에 투명한 공통전극(18)이 형성된 상부기판(5)과, 화소영역(P)과 화소영역 상에 형성된 화소전극(17)과 스위칭소자(T)를 포함한 어레이배선이 형성된 하부기판(22)으로 구성되며, 상기 상부기판(5)과 하부기판(22) 사이에는 액정(14)이 충전되어 있다.

상기 하부기판(22)은 어레이기판이라고도 하며, 스위칭 소자인 박막트랜지스터(T)가 매트릭스형태(matrix type)로 위치하고, 이러한 다수의 박막트랜지스터를 교차하여 지나가는 게이트배선(13)과 데이터배선(15)이 형성된다.

상기 화소영역(P)은 상기 게이트배선(13)과 데이터배선(15)이 교차하여 정의되는 영역이다. 상기 화소영역(P)상에 형성되는 화소전극(17)은 인듐 - 틴 - 옥사이드(indium - tin - oxide : ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명 도전성 금속을 사용한다.

전술한 바와 같이 구성되는 액정표시장치는 상기 화소전극(17)상에 위치한 액정층(14)이 상기 박막트랜지스터(T)로부터 인가된 신호에 의해 배향되고, 상기 액정층의 배향정도에 따라 상기 액정층(14)을 투과하는 빛의 양을 조절하는 방식으로 화상을 표현할 수 있다.

상기 게이트배선(13)은 상기 박막트랜지스터(T)의 제 1 전극인 게이트전극을 구동하는 펄스전압을 전달하며, 상기 데이터배선(15)은 상기 박막트랜지스터(T)의 제 2 전극인 소스전극을 구동하는 신호전압을 전달하는 수단이다.

이러한 신호는 상기 드레인전극을 지나 화소전극을 통해 액정에 인가되며, 액정은 인가된 신호에 따라 배향되어 하부 백라이트(backlight)로부터 입사되는 빛의 양을 조절하여 외부로 출사하도록 함으로써 화상을 표시 할 수 있다.

도 2는 액정표시장치용 어레이기판의 일부 화소를 도시한 확대 평면도이다.

도시한 바와 같이, 어레이기판(22)은 다수의 화소영역(P)으로 구성되며, 화소는 스위칭소자인 박막트랜지스터(thin film transistor) (T)와 화소전극(pixel electrode) (17)과 보조용량인 스토리지 캐패시터(storage capacitor) (C)로 구성된다.

상기 박막트랜지스터(T)는 게이트전극(26)과 소스전극(28)과 드레인전극(30)과 액티브층(active layer) (55)으로 구성되고, 상기 소스전극(28)은 데이터배선(15)과 연결되며 상기 게이트전극(26)은 상기 데이터배선(15)과 교차하여 화소영역(P)을 정의하는 게이트배선(13)과 연결되도록 구성된다.

상기 스토리지 캐패시터(C)는 스토리지 온 게이트(storage on gate)구조로서, 화소전극(17)과 연결되는 금속전극층(15')과 그 하부의 게이트배선(13)이 스토리지 캐패시터의 상/하 전극이 되어 M/I/M(metal/insulator/metal)으로 형성된 구조이다. 이때, 스토리지 캐패시터(C)의 위치와 구성은 다양하게 변할 수 있다.

전술한 바와 같은 구성에서, 상기 박막트랜지스터(T)는 상기 게이트전극(26)과 드레인 전극(28)사이에 존재하는 게이트 절연막(미도시)에 기생 캐패시터(parasitic capacitor)가 존재하며, 이러한 기생캐패시터는 직류(DC)성분의 전압임으로 상기 액정에 인가되면 액정을 열화시키는 문제가 발생한다.

또한, 상기 게이트 절연막을 증착하는 공정 중 게이트 절연막의 표면에 결함이 발생하여, 상기 게이트전극(26)과 드레인전극(30)간의 단락불량이 발생한다.

이러한 문제를 해결하기 위해, 종래에는 상기 게이트전극(26) 상부에 형성되는 동시에, 상기 스토리지 캐패시터(C)의 유전체(미도시)로 사용되는 게이트 절연막의 두께를 두텁게하여 어레이기판을 제작하였다.

이하, 도면을 참조하여 종래의 어레이기판 공정을 설명한다.

도 3a 내지 도 3f는 도 2의 박막트랜지스터와 화소부를 공정순서에 따라 도시한 평면도와, 이를 III - III'를 따라 절단하여 종래의 공정순서에 따라 도시한 공정 단면도이다.

먼저, 도 3a에 도시한 바와 같이, 깨끗이 세정된 투명 유리기판(22) 위에 알루미늄(Al)또는 알루미늄합금(AlNd)을 증착한 후, 제 1 마스크 노광 공정으로 패터닝하여 게이트배선(13)과, 상기 게이트배선에서 소정면적 돌출 형성된 게이트전극(26)을 형성한다. 이때, 상기 게이트배선의 일부(13')는 스토리지 캐패시터(C)의 제 1 전극의 기능을 한다.

이때, 상기 게이트배선(13)과 게이트전극(26)은 낮은 저항값을 얻기 위해, 전술한 바와 같이 알루미늄이 주류를 이루고 있으나, 순수 알루미늄은 화학적으로 내식성이 약하고, 후속의 고온 공정에서 힐락(hillock)형성에 의한 배선 결함 문제를 일으킨다,

따라서, 전술한 바와 같이 알루미늄 배선의 경우는 합금의 형태로 쓰이거나 크롬(Cr), 몰리브덴(Mo)과 같이 내식성이 강한 금속을 더욱 구성하여 이중층의 게이트전극(26)과 게이트배선(13)을 형성할 수 도 있다.

다음으로, 상기 게이트배선(13)과 게이트 전극(26)이 형성된 기판(22)의 전면에 실리콘 질화막(SiN_x)과 실리콘 산화막(SiO₂)으로 구성된 무기절연물질 그룹 중 하나를 선택하여 증착 하거나, 경우에 따라서는 벤조 사이클로 부텐(benzocyclobutene)과 아크릴(Acryl)계 수지(resin)로 구성된 유기절연 물질 그룹 중 선택된 도포하여 게이트 절연막(33)을 형성하고, 상기 게이트 절연막 상에 순수 비정질 실리콘층(55')과 불순물 비정질 실리콘층(56')을 적층한다.

도 3b는 상기 순수 비정질 실리콘층과 상기 불순물 비정질 실리콘층을 패터닝하기 위한 제 2 마스크 노광공정이다.

상기 불순물 비정질 실리콘층(56')의 상부 전면에 포토레지스트를 도포하고 제 1 마스크로 노광한 후 현상하여, 도시한 바와 같이, 상기 게이트전극(26) 상부에 잔류 포토레지스트층(35)을 남긴다.

다음으로, 도 3c에 도시한 바와 같이, 상기 잔류 포토레지스트층 사이로 노출된 하부 비정질 실리콘층과, 그 하부의 순수 비정질 실리콘층을 식각하여, 상기 게이트 전극(26) 상부에 액티브층(55)과 오믹콘택층(56)으로 구성된 반도체층(58)을 형성한다. 결과적으로, 상기 게이트전극(26)상부를 제외한 부분에는 게이트 절연막(33)이 노출된 형상이다.

다음으로, 상기 아일랜드 형상의 반도체층(58)이 형성된 기판의 전면에 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 알루미늄(Al), 알루미늄합금 중 선택된 하나를 증착하여 도전성 금속층을 형성한 후, 제 3 마스크 노광공정으로 패터닝하여, 도 3d에 도시한 바와 같이, 상기 게이트배선(13)과 상기 게이트 절연막(33)을 사이에 두고 교차하여 화소영역(P)을 정의하는 데이터배선(15)과, 상기 데이터배선에서 상기 게이트전극(26)상부로 소정면적 돌출 형성된 소스전극(28)과 이와는 소정간격 이격된 드레인전극(30)을 형성한다. 동시에 상기 화소영역(P)을 정의하는 게이트배선의 일부(13') 상부에 아일랜드 형태의 소스/드레인 금속층(15')을 형성한다.

(이때, 전술한 금속 중 알루미늄을 사용할 경우에는 알루미늄 배선의 상부에 몰리브덴(Mo) 또는 크롬(Cr)을 적층하여 복층구조로 형성할 수 있다.)

상기 소스/드레인 금속층(15')은 부분적으로 제 1 스토리지 전극의 기능을 동시에 가지는 상기 게이트배선(13)과 함께 스토리지 캐패시터(C)의 제 2 스토리지 전극의 기능을 하게 된다. 따라서, 상기 제 1 스토리지 전극(13')과 제 2 스토리지 전극(15')과, 두 전극 사이에 존재하는 게이트 절연막(33)을 포함하는 스토리지 캐패시터(C)를 구성하게 된다.

(이 경우는 스토리지 캐패시터가 상기 게이트배선 상부에 구성되므로 스토리지 온 게이트(storage on gate) 구조라고 한다.)

다음으로, 도 3e에 도시한 바와 같이, 상기 데이터배선(15)등이 형성된 기판(22)의 전면에 전술한 바와 같은 절연물질을 증착 또는 도포하여 보호층(39)을 형성한 후, 제 4 마스크 노광공정으로 패터닝하여, 상기 드레인 전극(30) 상부에 드레인 콘택홀(41)과 상기 소스/드레인 금속층(15') 상부에 스토리지 콘택홀(43)을 형성한다.

다음으로, 상기 패터닝된 보호층(39)의 상부 전면에 투과율이 뛰어난 인듐 - 틴 - 옥사이드(ITO)와 인듐 - 징크 - 옥사이드(IZO)를 포함하는 투명도전성 금속그룹 중 선택된 하나를 증착하여, 도 3f에 도시한 바와 같이, 일 측이 상기 드레인 콘택홀(41)을 통해 상기 드레인전극(30)과 접촉하여 형성되고, 상기 화소영역(P)을 지나 타측이 상기 스토리지 콘택홀(43)을 통해 소스/드레인 금속층(15')과 접촉하는 화소전극(17)을 형성한다.

이와 같은 방법으로 종래에 따른 액정표시장치용 어레이기판을 제작할 수 있다.

그러나, 상기 단락불량을 줄이기 위해 상기 박막트랜지스터(T)에 구성되는 게이트 절연막(33)을 두텁게 하였기 때문에, 당연히 게이트 절연막의 일부인 상기 스토리지 캐패시터(C)의 유전체 또한 두텁게 구성되었다.

일반적으로, 스토리지 캐패시터의 충전용량은 유전체의 두께에 반비례하고 면적에 비례하는 특성을 가진다.

따라서, 전술한 바와 같은 공정으로 형성된 상기 스토리지 캐패시터는 만족할 만한 충전용량을 얻기가 힘든 구조이다.

발명이 이루고자 하는 기술적 과제

전술한 바와 같이, 스토리지 용량이 충분치 않으면 상기 액정패널에 잔상현상이 나타나게 되는 문제가 발생한다. 이와 같은 문제를 해결하기 위한 본 발명은 상기 박막트랜지스터를 구성하는 게이트 절연막을 식각비율이 서로 다른 이중층의 절연막으로 구성하여 두텁게 구성하고, 상기 스토리지 캐패시터는 상기 이중층 중 제 1 층만 남겨 얇은 두께의 유전층을 구성하도록 하여, 잔상이 존재하지 않는 액정표시장치를 제작하는 데 그 목적이 있다.

발명의 구성 및 작용

전술한 바와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 어레이기판은 기판과; 상기 기판 상에 구성되고, 게이트전극, 상기 게이트 전극 상에 적층된 제 1, 제 2 게이트 절연막과, 상기 제 2 게이트 절연막 상에 구성된 소스전극 및 드레인 전극, 액티브층을 포함하는 박막트랜지스터와; 상기 드레인 전극과 접촉하는 화소전극과; 스토리지 제 1 전극과, 제 1 게이트 절연막, 스토리지 제 2 전극으로 구성된 스토리지 캐패시터를 포함한다.

상기 액티브층은 비정질 실리콘(a-Si:H)으로 형성한다.

상기 제 1 게이트 절연막은 알루미늄 옥사이드(Al_2O_3) 또는 실리콘 산화막(SiO_2)으로 형성한다.

상기 제 2 게이트 절연막은 실리콘 질화막(SiN_x)으로 형성한다.

본 발명의 특징에 따른 액정표시장치용 어레이기판 제조방법은 기판을 준비하는 단계와; 상기 기판 상에 도전성 금속을 증착하고 패터닝하여, 게이트전극과 게이트배선을 형성하는 단계와; 상기 게이트배선과 게이트 전극이 형성된 기판의 전면에 제 1 게이트 절연막과, 제 2 게이트 절연막과 순수 비정질 실리콘층과 불순물 비정질 실리콘층을 적층하는 단계와; 상기 불순물 비정질 실리콘층과 순수 비정질 실리콘층을 패터닝하여, 상기 게이트 전극 상부에 섬형상으로 적층된 액티브층과 오믹콘택층으로 구성된 반도체층을 형성하고 연속하여, 상기 반도체층을 제외한 영역에 노출된 상기 제 2 게이트 절연막을 식각하는 단계와; 상기 반도체층이 형성된 기판의 전면에 도전성 금속을 증착하고 패터닝하여, 상기 게이트 배선과 수직으로 교차하여 화소영역을 정의하는 데이터배선과, 소스전극 및 드레인전극과, 상기 화소영역을 정의하는 게이트배선의 일부 상부에 섬 형상의 소스,드레인 금속층을 형성하는 단계와; 상기 데이터배선이 형성된 기판의 전면에 절연물질인 보호층을 형성한 후 패터닝하여, 상기 드레인전극 상부에 드레인 콘택홀과, 상기 소스,드레인 금속층 상부에 스토리지 콘택홀을 형성하는 단계와; 상기 패터닝된 보호층의 전면에 투명도전성 금속을 증착하고 패터닝하여, 상기 드레인 콘택홀을 통해 드레인 전극과 접촉하고, 상기 스토리지 콘택홀을 통해 상기 소스,드레인 금속층과 접촉하는 화소전극을 형성하는 단계

를 포함한다.

이하, 첨부한 도면을 참조하여 본 발명에 따른 바람직한 실시예를 설명한다.

- - 실시예 - -

본 발명의 실시예는 상기 박막트랜지스터에 구성되는 게이트 절연막을 이중층으로 구성하고, 상기 스토리지 캐패시터에 구성되는 유전층은 단층으로 구성한 어레이기판 구조와, 이를 제작하기 위한 방법을 제안한다.

이하, 백채널에치(BCE) 구조의 역스태거드형 박막트랜지스터를 형성하는 공정을 예를 들어 설명한다.

도 4a 내지 도 4f는 도 2의 박막트랜지스터와 개략적인 화소부를 공정순서에 따라 도시한 평면도와, 이를 IV - IV'를 따라 절단하여 본 발명의 공정순서에 따라 도시한 공정 단면도이다.

먼저, 도 4a에 도시한 바와 같이, 유리기판 위에 알루미늄(Al) 또는 알루미늄합금(AlNd)을 증착한 후, 제 1 마스크 노광 공정으로 패터닝하여 게이트배선(113)과, 상기 게이트배선(113)에서 소정면적 돌출 형성된 게이트 전극(126)을 형성한다.

이때, 상기 게이트배선(113)과 게이트전극(126)은 종래에서 설명한 바와 같이, 알루미늄 배선의 경우는 합금의 형태로 쓰이거나 크롬(Cr), 몰리브덴(Mo)과 같이 내식성이 강한 금속을 더욱 구성하여, 이중층의 게이트전극과 게이트배선을 형성할 수도 있다. 이때, 상기 게이트배선의 일부는 스토리지 캐패시터(C)의 제 1 전극(113')의 기능을 하게 된다.

다음으로, 상기 게이트배선(113)과 게이트 전극(126)이 형성된 기판(111)의 전면에 게이트 절연막을 형성하는 공정으로, 본 발명에서는 식각물이 서로 다른 제 1 게이트 절연막(133)과 제 2 게이트 절연막(135)으로 구성된 이중 게이트 절연막을 형성한다.

이때, 제 1 게이트 절연막(133)은 제 2 게이트 절연막(135)에 비해 식각률이 낮은 물질을 사용한다.

예를 들면, 상기 제 1 게이트 절연막(133)으로 산화 알루미늄(Al_2O_3) 또는 실리콘 산화막(SiO_2)을 사용하고, 상기 제 2 게이트 절연막(135)으로 질화 실리콘(SiN_x)을 사용한다.

상기 제 2 게이트 절연막(135) 상에 순수 비정질 실리콘층(155')과 불순물 비정질 실리콘층(156')을 적층한다.

도 4b는 상기 순수 비정질 실리콘층과 상기 불순물 비정질 실리콘층을 패터닝하기 위한 제 2 마스크 노광공정이다.

상기 불순물 비정질 실리콘층(도 4a의 156')의 상부 전면에 포토레지스트를 도포한 후 제 2 마스크로 노광한 후 현상하여, 도식한 바와 같이, 상기 게이트전극(126)상부에 잔류 포토레지스트층(136)을 남긴다.

다음으로, 상기 잔류 포토레지스트층(136)사이로 노출된 불순물 비정질 실리콘층과 그 하부의 순수 비정질 실리콘층을 식각하여, 액티브층(155)과 오믹콘택층(156)으로 구성된 아일랜드 형태의 반도체층(158)을 형성한다.

다음으로, 도 4c에 도식한 바와 같이, 상기 반도체층(158)을 형성한 후, 연속으로, 상기 잔류 포토레지스트(136)를 상기 반도체층(158)에 대한 식각 방지막으로 하여, 노출된 제 2 게이트 절연막(도 4a의 133)을 식각한다.

따라서, 상기 게이트 전극(126) 상부의 제 1 게이트 절연막(133)은 패터닝된 제 2 게이트 절연막(135')과 제 1 게이트 절연막(133)이 적층된 구조이고, 반면에 상기 스토리지 제 1 전극(113')의 상부에 위치한 절연막은 제 1 게이트 절연막(133)만이 존재하게 된다.

다음으로, 도 4d에 도식한 바와 같이, 상기 아일랜드 형상의 반도체층(158)이 형성된 기판(111)의 전면에서 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 알루미늄(Al), 알루미늄합금 중 선택된 하나를 증착하여 도전성 금속층을 형성한 후, 제 3 마스크 노광공정으로 패터닝하여, 상기 게이트배선(113)과 상기 게이트 절연막(133)을 사이에 두고 교차하여 화소영역(P)을 정의하는 데이터배선(115)과, 상기 데이터배선(115)에서 상기 게이트전극(126)상부로 소정면적 돌출 형성된 소스전극(128)과 이와는 소정간격 이격된 드레인전극(130)을 형성한다. 동시에 상기 화소영역(P)을 정의하는 게이트배선(113)의 일부(제 1 스토리지 전극)(113') 상부에 아일랜드 형태의 소스/드레인 금속층(115')을 형성한다.

다음으로, 도 4e에 도식한 바와 같이, 상기 데이터배선(115) 등이 형성된 기판(111)의 전면에서 전술한 바와 같은 절연 물질을 증착 또는 도포하여 보호층(139)을 형성한 후, 제 4 마스크 노광공정으로 패터닝하여, 상기 드레인전극(130)상부에 드레인 콘택홀(141)과, 상기 소스/드레인 금속층(115') 상부에 스토리지 콘택홀(143)을 형성한다.

다음으로, 상기 패터닝된 보호층(139)의 상부 전면에서 투과율이 뛰어난 인듐 - 틴 - 옥사이드(indium - tin - oxide : ITO)와 인듐 - 징크 - 옥사이드(indium - zinc - oxide : IZO)를 포함하는 투명도전성 금속그룹 중 선택된 하나를 증착하여 제 5 마스크 노광공정으로 패터닝하여, 도 4f에 도식한 바와 같이, 일측이 상기 드레인 콘택홀(141)을 통해 상기 드레인전극(130)과 접촉하여 형성되고, 상기 화소영역(P)을 지나 타측이 상기 스토리지 콘택홀(143)을 통해 소스/드레인 금속층(115')과 접촉하는 화소전극(117)을 형성한다.

따라서, 상기 소스/드레인 금속층(115')은 상기 스토리지 제 1 전극(113')과 함께 제 2 스토리지 전극의 기능을 하게 된다.

결과적으로, 상기 제 1 스토리지 전극과 제 2 스토리지 전극과, 두 전극 사이에 존재하는 제 1 게이트 절연막(133)을 포함한 스토리지 캐패시터(C)를 구성할 수 있고 동시에, 상기 박막트랜지스터는 이중층의 게이트 절연막을 채용할 수 있는 구조로 본 발명에 따른 액정표시장치용 어레이기판을 제작할 수 있다.

발명의 효과

본 발명에서는 추가적인 마스크 공정없이 박막트랜지스터를 구성하는 게이트절연막을 이중층으로 하고, 상기 스토리지 캐패시터를 구성하는 유전체를 단일층으로 하여 충전용량 값을 크게 하였으므로 잔상 등이 발생하지 않아 액정표시장치의 수율을 개선하는 효과가 있다.

(57) 청구의 범위

청구항 1.

기판과;

상기 기판 상에 구성되고, 게이트전극, 상기 게이트 전극 상에 적층된 제 1, 제 2 게이트 절연막과, 상기 제 2 게이트 절연막 상에 구성된 소스전극 및 드레인 전극, 액티브층을 포함하는 박막트랜지스터와;

상기 드레인 전극과 접촉하는 화소전극과;

스토리지 제 1 전극과, 제 1 게이트 절연막, 스토리지 제 2 전극으로 구성된 스토리지 캐패시터를

포함하는 액정표시장치용 어레이기판.

청구항 2.

제 1 항에 있어서,

상기 액티브층은 비정질 실리콘(a-Si:H)으로 구성된 액정표시장치용 어레이기판.

청구항 3.

제 1 항에 있어서,

상기 제 1 게이트 절연막은 알루미늄 옥사이드(Al_2O_3) 또는 실리콘 산화막(SiO_2)인 액정표시장치용 어레이기판.

청구항 4.

제 1 항에 있어서,

상기 제 2 게이트 절연막은 실리콘 질화막(SiN_x)인 액정표시장치용 어레이기판.

청구항 5.

제 1 항에 있어서,

상기 화소전극은 ITO, IZO로 구성된 투명 도전성 금속그룹 중 선택된 하나인 액정표시장치용 어레이기판.

청구항 6.

기판을 준비하는 단계와;

상기 기판 상에 도전성 금속을 증착하고 패터닝하여, 게이트전극과 게이트배선을 형성하는 단계와;

상기 게이트배선과 게이트 전극이 형성된 기판의 전면에 제 1 게이트 절연막과, 제 2 게이트 절연막과 순수 비정질 실리콘층과 불순물 비정질 실리콘층을 적층하는 단계와;

상기 불순물 비정질 실리콘층과 순수 비정질 실리콘층을 패터닝하여, 상기 게이트 전극 상부에 섬형상으로 적층된 액티브층과 오믹콘택층으로 구성된 반도체층을 형성하고 연속하여, 상기 반도체층을 제외한 영역에 노출된 상기 제 2 게이트 절연막을 식각하는 단계와;

상기 반도체층이 형성된 기판의 전면에 도전성 금속을 증착하고 패터닝하여, 상기 게이트배선과 수직으로 교차하여 화소영역을 정의하는 데이터배선과, 소스전극 및 드레인전극과, 상기 화소영역을 정의하는 게이트배선의 일부 상부에 섬형상의 소스.드레인 금속층을 형성하는 단계와;

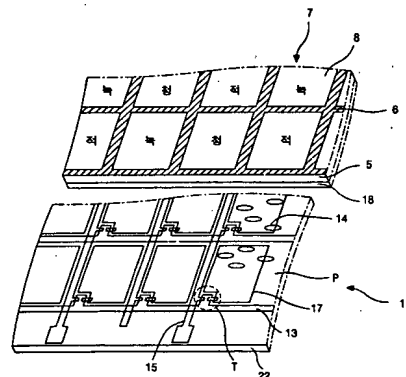
상기 데이터배선이 형성된 기판의 전면에 절연물질인 보호층을 형성한 후 패터닝하여, 상기 드레인전극 상부에 드레인 콘택홀과, 상기 소스.드레인 금속층 상부에 스토리지 콘택홀을 형성하는 단계와;

상기 패터닝된 보호층의 전면에 투명도전성 금속을 증착하고 패터닝하여, 상기 드레인 콘택홀을 통해 드레인 전극과 접촉하고, 상기 스토리지 콘택홀을 통해 상기 소스.드레인 금속층과 접촉하는 화소전극을 형성하는 단계

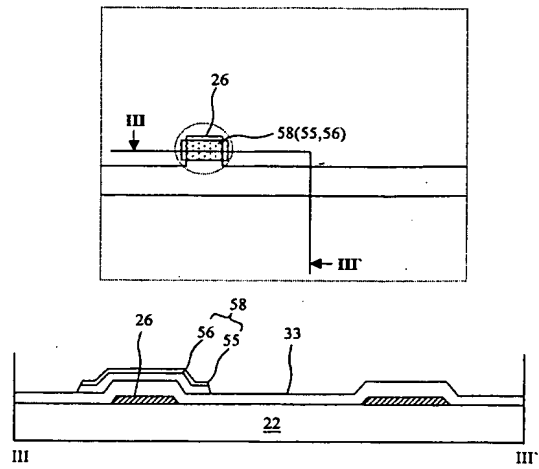
를 포함하는 액정표시장치용 어레이기판 제조방법.

도면

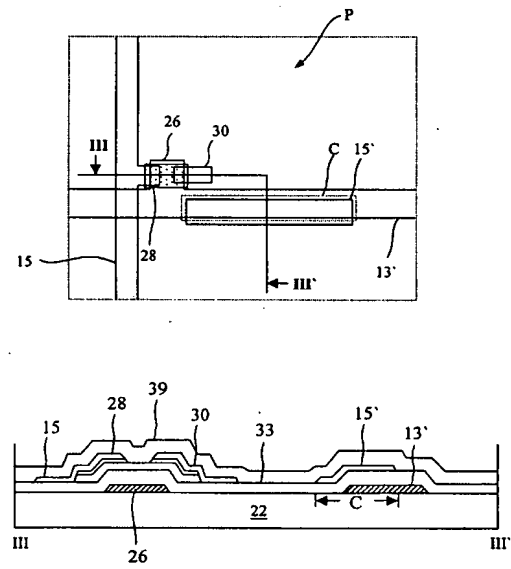
도면 1



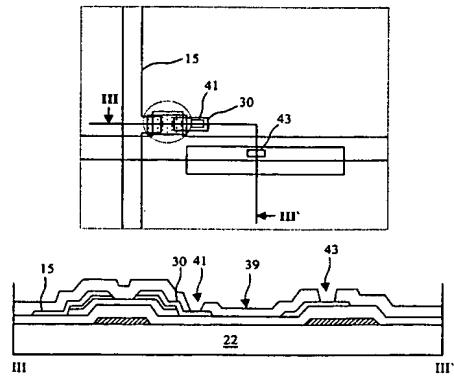
도면 3c



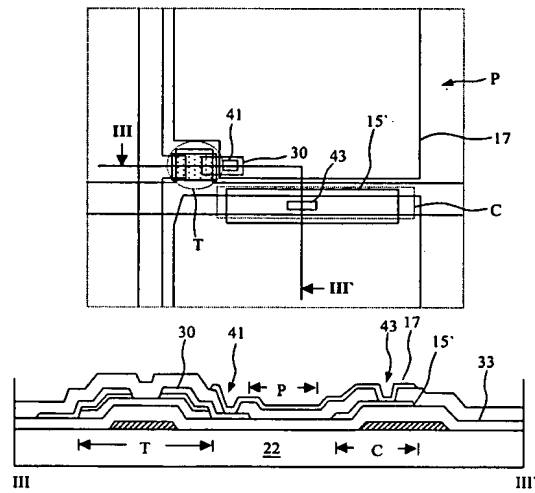
도면 3d



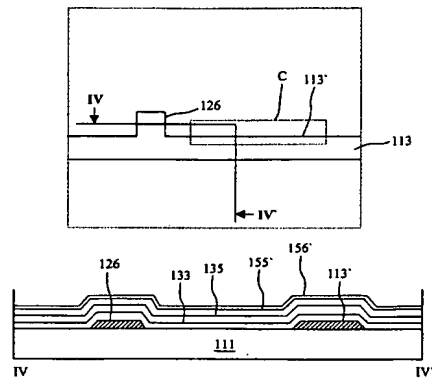
도면 3e



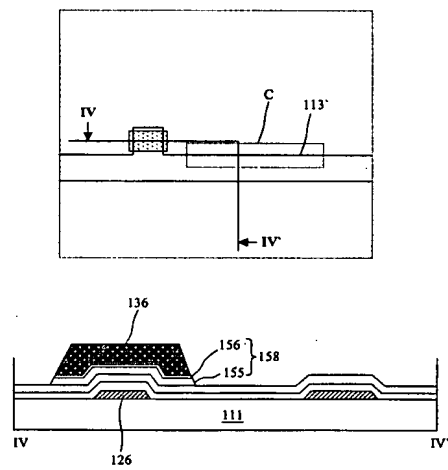
도면 3f



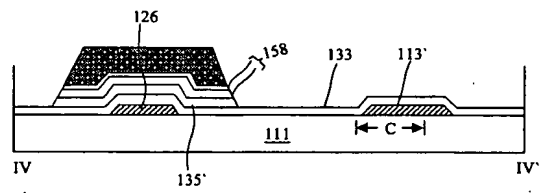
도면 4a



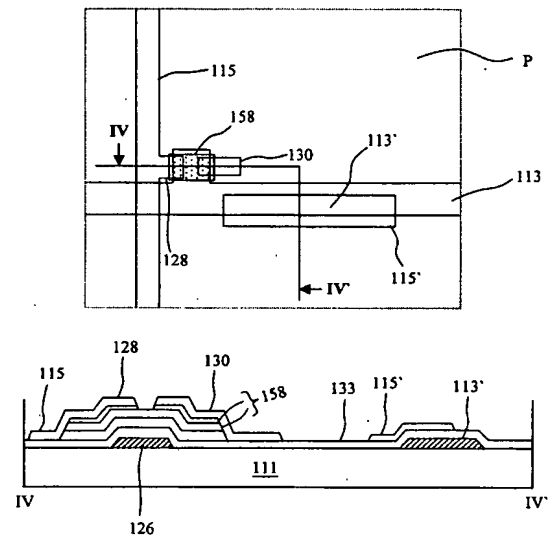
도면 4b



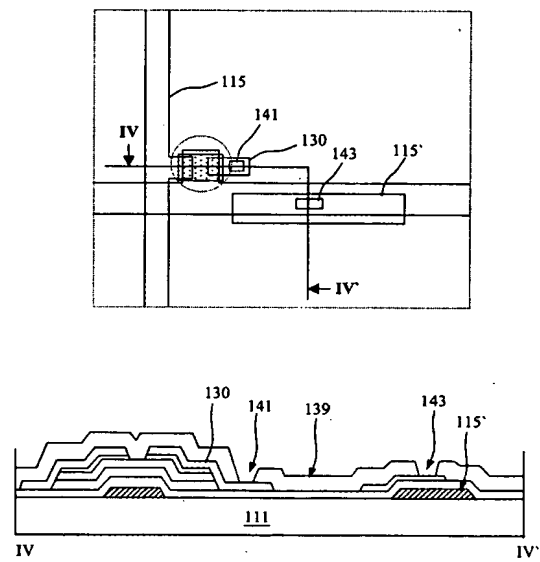
도면 4c



도면 4d



도면 4e



도면 4f

